

PATENT  
3887-0141P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: CHOI, Soo-Chang                      Conf.:  
Appl. No.: New                                      Group:  
Filed: July 14, 2003                              Examiner:  
For: COMPARISON APPARATUS OPERATED AT A LOW  
VOLTAGE

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

July 14, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	2002-67125	October 31, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By  #39,538  
Joseph A. Kolasch, #22,463

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

JAK/rwl  
3887-0141P

Attachment(s)

CH01  
3887-0141P  
July 14, 2003  
BS4B  
(203)-205-8000  
104)

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0067125  
Application Number PATENT-2002-0067125

출원년월일 : 2002년 10월 31일  
Date of Application OCT 31, 2002

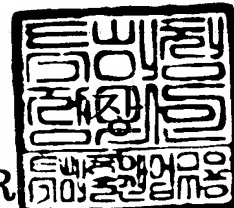
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2002 년 12 월 03 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0001  
**【제출일자】** 2002.10.31  
**【발명의 명칭】** 저전원에서 안정적으로 동작하는 비교 장치  
**【발명의 영문명칭】** Apparatus for comparison with improved low level property

## 【출원인】

**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8

## 【대리인】

**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2

## 【발명자】

**【성명의 국문표기】** 최수창  
**【성명의 영문표기】** CHOI, Soo Chang  
**【주민등록번호】** 680317-1019315  
**【우편번호】** 133-111  
**【주소】** 서울특별시 성동구 성수1가1동 동아아파트 11-1013  
**【국적】** KR

## 【심사청구】

청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 특허법인 신성 (인)

## 【수수료】

<b>【기본출원료】</b>	20 면	29,000 원
<b>【가산출원료】</b>	7 면	7,000 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	7 항	333,000 원
<b>【합계】</b>		369,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 비교 장치에 관한 것으로, 특히 저전원전압에서도 안정한 동작을 수행할 수 있으며, 공정 변화로 인한 특성 변화를 방지할 수 있는 비교 장치를 제공하기 위한 것으로, 이를 위해 본 발명은, 일정 주기를 갖는 클럭신호에 따라 교번적으로 트랙 모드 동작과 래치 모드 동작을 수행함으로써, 두개의 아날로그 입력신호를 비교하여 1비트의 디지털 신호를 출력하는 비교 장치에 있어서, 상기 두개의 아날로그 신호를 각각 다른 입력으로 하는 차동입력수단; 상기 클럭신호에 응답하여 상기 차동입력수단의 차동 출력을 각각 자신의 정/부입력단으로 입력받아 트래킹 및 래치를 실시하되, 상기 트랙 모드에서 트래킹 동작을 위해 자신이 상기 차동입력수단의 부하로 동작하도록 자신의 정입력단 및 부입력단으로터 각각 서로 다른 전류패스를 갖는 트래킹/래치수단; 및 상기 트래킹/래치수단의 출력을 래치 및 출력하는 래치수단을 포함하는 비교 장치를 제공한다.

**【대표도】**

도 5

**【색인어】**

비교 장치, ADC(Analog to Digital Converter), 트랙 모드(Track mode), 래치 모드(Latch mode), 전류 패스(Current path).

**【명세서】****【발명의 명칭】**

저전원에서 안정적으로 동작하는 비교 장치{Apparatus for comparison with improved low level property}

**【도면의 간단한 설명】**

도 1은 일반적인 ADC에 사용되는 CMOS 비교기의 구성을 도시한 블록도.

도 2는 도 1의 비교 장치를 보다 상세하게 도시한 회로도.

도 3은 도 2의 트랙 모드에서의 동작을 도시한 등가 회로도.

도 4는 도 2의 전체 동작을 도시한 타이밍 차트.

도 5는 본 발명의 일실시예에 따른 ADC에 사용되는 CMOS 비교 장치를 도시한 상세 회로도.

도 6은 도 5의 트랙 모드에서의 동작을 도시한 등가 회로도.

도 7은 도 5의 래치 모드에서의 동작을 도시한 등가 회로도.

도 8은 도 5의 전체 동작을 도시한 타이밍 차트.

\* 도면의 주요 부분에 대한 부호의 설명

50 : 차동입력부      51 : 트래킹/래치부

52 : 제2래치부      53 : 스위칭부

520 : 제1래치부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13>        본 발명은 비교 장치에 관한 것으로, 특히 저전압 고속의 아날로그 비교 장치에 관한 것이다.
- <14>        최근  $0.18\mu\text{m}$  이하의 CMOS(Complementary Metal Oxide Semiconductor) 공정 기술이 일반화되면서 많은 회로들을 한 칩(Chip)에 집적(Integration)하는 SOC(System On Chip)에 대한 중요성이 그 어느 때보다 부각되고 있다. SOC는 복잡한 논리 연산을 하는 대규모 디지털 회로 뿐만아니라 아날로그 신호를 처리하는 아날로그 회로도 같이 집적된다.  $0.18\mu\text{m}$  이하의 고집적 공정 기술로는 트랜지스터 소자 특성상  $1.8\text{V}$  이하의 저전압 설계가 요구된다. 회로 특성상 디지털 회로에서는 기존 회로 설계 방식이 사용될 수 있지만 아날로그 회로에서는 전원전압이 낮아짐에 따라 트랜지스터 동작 영역이 많이 줄어들었기 때문에 새롭게 저전압 설계를 해야 한다.
- <15>        SOC에 집적되는 많은 아날로그 회로 중에 아날로그 디지털 변환 장치(Analog to Digital Converter; 이하 ADC라 함)는 전체 SOC의 성능을 좌우하는 중요 블록이다.
- <16>        ADC의 변환 원리를 간단히 살펴 보면, 아날로그 형태의 입력 신호를 내부의 세분화된 기준 전압과 비교하여 이를 디지털 값으로 변환시키는 것으로, 결국 아날로그 형태의 입력 신호를 디지털 형태의 출력 신호로 바꾸는 것을 의미한다.

- <17> 이러한 ADC는 통신 회로, DSP(Digital Signal Processor), MCU(MicroController Unit)의 주변 장치에 주로 사용되며, 그 외 아날로그와 디지털의 인터페이스를 요구하는 모든 종류의 칩에 광범위하게 적용된다.
- <18> 한편, 대부분의 ADC는 클럭신호에 따라 동작하는 2상 클럭드(2-phase clocked) 비교기가 보통 사용되며, 이러한 비교기는 2상 클럭신호에 의해 트랙 (Track mode)와 래치 모드(Latch mode)로 그 동작을 구분할 수 있다.
- <19> 비교기의 첫번째 상은 트랙 모드로써, 이 모드에서는 입력되는 두 아날로그 신호를 낮은 게인(Gain)으로 증폭하면서 트래킹한다. 비교기가 두번째 상 즉, 래치 모드에 들어가게 되면 증폭된 신호를 포지티브 피드백(Positive feedback) 회로에 인가하고 그 신호의 극성(Polarity)을 결정(Latch)하여 그 결과를 1비트의 디지털 신호로 출력한다.
- <20> 도 1은 일반적인 ADC에 사용되는 CMOS 비교기의 구성을 도시한 블록도로서, 기준 신호와 입력 신호의 차를 증폭하는 증폭부(10)와 이의 차를 래치하는 래치 회로(11)로 구성된다, 전술한 비교기에서 사용되는 증폭기는 꼭 선형적이거나 폐쇄 루프(Closed loop)일 필요가 없으며 래치회로의 포지티브 피드백을 형성하여 무한 이득(Virtually infinite gain)을 갖게 된다.
- <21> 도 2는 도 1의 비교 장치를 보다 상세하게 도시한 회로도이다[Principles of data conversion system design-Behzad Razavi(AT&T Bell Laboratories) IEEE PRESS 189p. 참조].
- <22> 도 2를 참조하면, 종래의 비교 장치는, 제1 및 제2PMOS 트랜지스터(MP1, MP2)로 구성된 차동쌍 입력부(10)와, 두 출력단(Vout1, Vout2)과 그 게이트가 각각 십자로



연결된(Cross-coupled) 제5 및 제6PMOS 트랜지스터(MP5, MP6)로 구성된

제1래치부(11)와, 제1 및 제2노드(N1, N2)와 그 게이트가 각각 십자로 연결된 제4 및 제5NMOS 트랜지스터(MN4, MN5)로 구성된 제2래치부(12)와, 인버터(INV)와, 인버터(INV)에 의해 반전된 클럭신호(Clk)가 그 게이트에 인가되고 채널이 제4 및 제5 NMOS 트랜지스터(MN4, MN5)의 드레인들에 각각 대응되는 제1 및 제2노드(N1, N2) 사이에 형성되어 제2래치부(12)의 트랙 모드 또는 래치 모드로의 동작을 클럭신호(Clk)에 의해 제어하며, 트랙 모드 동작시 턴-온되어 일정한 턴-온 저항을 가지고 제2래치부(12)가 증폭기로 동작하도록 하는 제3NMOS 트랜지스터(MN3)와, 클럭신호(Clk)에 따라 교번적으로 온-오프되는 제4PMOS 트랜지스터(MP4)와 제1NMOS 트랜지스터(MN1) 및 제7PMOS 트랜지스터(MP7)와 제2NMOS 트랜지스터(MN2)와, 래치 모드 동작시 턴-온되어 전원전압단(VDD)로부터 접지전압단(GND)으로의 전류 패스를 형성하여 차동쌍 입력부(10)를 턴-오프시키는 소스 팔로워(Source follower) 역할을 하는 제3PMOS 트랜지스터(MP3)와, 바이어스 트랜지스터(MP8)를 구비한다.

<23> 도 3은 도 2의 트랙 모드 동작 회로를 도시하고, 도 4는 도 2의 전체 동작을 도시한 타이밍 차트인 바, 도 2와 도 3 및 도 4를 참조하여 종래기술에 따른 비교 장치의 동작을 살펴 본다.

<24> 여기서, 클럭신호(Clk)가 '로직 로우'인 상태에서는 비교 장치가 트랙 모드로 동작을 하고, '로직 하이'인 상태에서는 비교 장치가 래치 모드로 동작을 한다고 가정한다.

<25> 먼저, 클럭신호(Clk)가 '로직 로우'가 되면, MN1과 MN2가 턴-오프되고, MP3가 턴-오프된다. 한편, MP4와 MP7이 턴-온되므로 Vout1과 Vout2는 전원전압단(VDD)의 전압레벨이 된다.

<26> 따라서, 'Vin1'과 'Vin2'의 입력신호에 의해 노드 'N2'와 노드 'N1' 각각의 전압  $V_y$ 와  $V_x$ 는 래치동작을 수행하려고 하나, 이 때 MN3가 턴-온되며 그 자체의 턴-온 저항이 큰 값을 가지므로  $V_x$ 와  $V_y$ 는 일시적으로 서로 근접하다가 서로 일정 폭을 갖도록 증폭이 되는 트래킹 모드로서 동작이 이루어진다.

<27> 이러한 트래킹 모드에서의 도 2에 도시된 비교 장치는 일반적인 차동증폭기 (Differential amplifier)로 동작하며, 입력되는 Vin1과 Vin2의 아날로그 신호를 증폭하면서 트래킹하게 되는 바, 이 때의 증폭기의 게인(A)은 하기의 수학적식1과 같다.

<28> 【수학적식 1】  $A = G_{m1} \cdot R_{on3} / (2 - G_{m4} \cdot R_{on3})$

<29> 여기서 'Gm1'은 MP1의 상호컨덕턴스(Transconductance)를, 'Gm4'는 MN4의 상호컨덕턴스를, 'Ron3'은 MN3의 온저항을 각각 나타낸다.

<30> 보통의 경우 'Gm4 \* Ron3 = 1'이 되게 설계를 한다. 하지만, 'Gm4 \* Ron3'가 2를 넘어서게 되면 수학적식1의 분모는 음의 값이 되며, 이는 회로가 정상적인 증폭기로서 동작하지 못함을 의미한다. 이런 경우 이 회로는 보통 포지티브 피드백(Positive feedback)이 걸리게 되어 래치로만 동작하게 된다. 즉,  $V_x$ 와  $V_y$ 의 전압이 서로 상반되게 한쪽으로 치우치게 되고, 입력신호 'Vin1'과 'Vin2'에 대해 반응을 하지 못하게 된다.

<31> 따라서, 'Gm4 \* Ron3'가 "2"를 넘지 않게 설계하는 것이 중요하다.

- <32> 도 4에 도시된 바와 같이 트랙 모드에서 ' $V_x$ '와 ' $V_y$ '는 각각 증폭되며, 클럭신호 (C1k)가 '로직 로우'에서 '로직 하이'로 상승(천이)하게 되면 MP1, MP2, MN3, MP4, MP7은 모두 턴-오프되며, MN3는 턴-오프됨에 따라 회로로부터 실제 제거된다.
- <33> MP3이 턴-온됨에 따라 VDD로부터 MP8를 거쳐 MP3에서 GND로의 전류패스가 형성되며, 이 때 소스 팔로워 역할을 하는 MP3에 의해 MP1과 MP2는 턴-오프된다.
- <34> 차동쌍 입력부(10)의 PMOS 트랜지스터들(MP1, MP2)로부터의 차전류(Differential current)는 노드들(N1, N2)의 전압( $V_x$ ,  $V_y$ ) 차에 기인한다. 이러한 차전압은 포지티브 증폭기에 의해 증폭된 것으로서  $V_x$ 와  $V_y$ 는 기준전압에 대한 입력 전압에 의해 미리 결정된 쪽으로 분기된다.  $V_x$ 와  $V_y$ 는 더욱 증폭되고, 따라서 출력전압( $V_{out}(+)$ ,  $V_{out}(-)$ )은 도 4와 같은 파형으로 출력된다.
- <35> 한편, 도 3의 회로가 저전압에서 동작하게 되면, MN3의 게이트-소스간 전압( $V_{gs3}$ ) 값이 줄어들게 되어  $R_{on3}$  값이 커지게 된다.  $G_m4 \cdot R_{on3}$ 를 줄이기 위해서  $G_m3$ 를 줄이면  $V_x$ 와  $V_y$  전압이 높아지게 되며, 결국 MN3의  $V_{gs3}$  값이 줄어들어  $R_{on3}$ 를 키우게 된다. 그러므로,  $G_m3 \cdot R_{on5}$ 를 "1"로 하는 것이 쉽지 않다. 설령 M5의 폭(Width)을 늘려  $R_{on3}$ 를 줄인다 하더라도 MN3는 간신히 문턱 전압(Threshold voltage)을 조금 넘게 턴-온되어 있는 상태이기 때문에 MN3의 문턱 전압이 공정 변화로 인해 변질될 경우 MN3가 턴-오프에 가깝게 되어 저항 값이 급격히 증가하게 되므로  $G_m4 \cdot R_{on3}$ 가 "2"를 넘을 가능성이 높아진다.

<36> 더구나 MN3는 저전원 전압에서는 약하게 턴-온되어 있기 때문에 전원전압이 변하게 되면 Ron4의 값이 크게 변할 수 있다. 따라서, 전술한 요인들에 의해 회로의 안정한 동작을 보장할 수 없게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<37> 상기한 바와 같은 종래의 문제점을 해결하기 위해 제안된 본 발명은, 저전원전압에서도 안정한 동작을 수행할 수 있으며, 공정 변화로 인한 특성 변화를 방지할 수 있는 비교 장치를 제공하는 것을 그 목적으로 한다.

**【발명의 구성 및 작용】**

<38> 상기 목적을 달성하기 위한 본 발명은, 일정 주기를 갖는 클럭신호에 따라 교번적으로 트랙 모드 동작과 래치 모드 동작을 수행함으로써, 두개의 아날로그 입력신호를 비교하여 1비트의 디지털 신호를 출력하는 비교 장치에 있어서, 상기 두개의 아날로그 신호를 각각 다른 입력으로 하는 차동입력수단; 상기 클럭신호에 응답하여 상기 차동입력수단의 차동 출력을 각각 자신의 정/부입력단으로 입력받아 트래킹 및 래치를 실시하되, 상기 트랙 모드에서 트래킹 동작을 위해 자신이 상기 차동입력수단의 부하로 동작하도록 자신의 정입력단 및 부입력단으로부터 각각 서로 다른 전류패스를 갖는 트래킹/래치수단; 및 상기 트래킹/래치수단의 출력을 래치 및 출력하는 래치수단을 포함하는 비교 장치를 제공한다.

<39> 본 발명은 예컨대 1.8V의 낮은 전원전압을 사용하는 비교 장치에서, 전술한 스위치 및 저항 역할을 수행하는 트랜지스터(MN3)의 불안정한 동작을 개선하기 위해 스위칭 기능을 하는 트랜지스터와 저항 역할을 하는 트랜지스터로 구분하도록 배치하고, 두 노드 간의 전류 패스를 각각 접지접압단으로 형성함으로써, 트랙 모드에서 증폭기로서의 동작시 그 게인을 전압 및 전류의 변화 또는 공정의 변화에 거의 무관하게 안정하게 유지할 수 있도록 한다.

<40> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

<41> 도 5는 본 발명의 일실시예에 따른 ADC에 사용되는 CMOS 비교 장치를 도시한 상세 회로도이다.

<42> 도 5를 참조하면, 두 PMOS 트랜지스터(M1, M2)가 각각 제1입력신호(Vin1)와 제2입력신호(Vin2)를 각각 다른 입력으로 하는 차동입력부(50)를 구성하고 있다. 차동입력부(50)의 차동 출력을 자신의 정/부입력단(제1노드(N1)와 제2노드(N2))으로 입력받아 트래킹과 래치를 실시하는 트래킹/래치부(51)가 배치되어 있으며, 차동입력부(50)는 트랙 모드에서는 트래킹 동작을 위해 차동입력부(50)의 부하로 동작하여 차동증폭기 동작을 수행한다.

<43> 트래킹/래치부(51)는 제1노드(N1)를 정입력단으로 갖고 제2노드(N2)를 부입력단으로 갖는 제1래치부(510)와, 인버터(INV)에 의해 반전된 클럭신호(Clk)를 게이트 입력

으로 하고 그 일측이 제1노드(N1)에 접속된 제1스위칭 트랜지스터(M7)와, 제1스위칭 트랜지스터(M7)의 타측과 접지전압단(GND) 사이에 다이오드 접속된 제1로드 트랜지스터(M5)와, 인버터(INV)에 의해 반전된 클럭신호(Clk)를 게이트 입력으로 하고 그 일측이 제2노드(N2)에 접속된 제2스위칭 트랜지스터(M8)와, 제2스위칭 트랜지스터(M7)의 타측과 접지전압단(GND) 사이에 다이오드 접속된 제2로드 트랜지스터(M6)로 구성된다.

<44> 여기서, 제1래치부(510)는 제1노드(N1) 즉, 자신의 정입력단 및 제2노드(N2) 즉, 자신의 부입력단과 그 게이트가 각각 십자로 연결된 NMOS 트랜지스터(M4) 및 NMOS 트랜지스터(M3)로 구성된다.

<45> 여기서, 제1스위칭 트랜지스터(M7)과 제1로드 트랜지스터(M5)는 제1노드(N1)로부터 접지전압단(GND) 사이의 제1전류패스(X)를 형성하며, 제2스위칭 트랜지스터(M8)과 제2로드 트랜지스터(M6)는 제2노드(N1)로부터 접지전압단(GND) 사이의 제2전류패스(Y)를 형성하여 트래킹 동작이 이루어지게 되는 바, 자세한 동작은 후술한다.

<46> 또한, 제1로드 트랜지스터(M5)와 제2로드 트랜지스터(M6)는 각각 제1스위칭 트랜지스터(M7)와 제2스위칭 트랜지스터(M8)의 턴-온 저항을 무시할 수 있을 정도로 큰 것이 바람직하며, 이 때 제1로드 트랜지스터(M5)와 제2로드 트랜지스터(M6)는 동일사이즈를 갖도록 하고 제1스위칭 트랜지스터(M7)와 제2스위칭 트랜지스터(M8) 또한 서로 동일 사이즈가 되도록 하는 것이 바람직하다.

<47> 트랙 모드에서 리셋되어 이전 상태의 출력단(Vout1, Vout2)의 전압 레벨을 전원전압단(VDD)의 전압 레벨로 리셋시키고, 래치 모드에서 트래킹/래치부(51)의 출력을 래치하여 자신의 정/부입력단에 해당하는 출력단(Vout1, Vout2)으로 출력하는 제2래치부(52)가 구성되어 있다.

- <48> 제2래치부(52)는 클럭신호(Clk)에 응답하여 출력단(Vout1) 즉, 자신의 정입력단 및 출력단(Vout2) 즉, 자신의 부입력단과 그 게이트가 각각 십자로 연결된 PMOS 트랜지스터(M14) 및 NMOS 트랜지스터(M15)로 구성된다.
- <49> 클럭신호(Clk)에 응답하여 제2래치부(52)와 트래킹/래치부(51) 간의 단락을 스위칭하기 위한 스위칭부(53)가 구성되어 있다. 스위칭부(53)는 클럭신호(CLk)를 각각 자신의 게이트 입력으로 하고 제2래치부(52)와 트래킹/래치부(51)의 각 정/부입력단 간에 소스-드레인 경로가 형성되는 제3스위칭 트랜지스터(M10)와 제4스위칭 트랜지스터(M11)로 구성된다.
- <50> 또한, 클럭신호(Clk)를 각각 게이트 입력으로 하고 전원전압단(VDD)과 각 출력단(Vout1, Vout2) 사이에 소스-드레인 경로가 형성되어 클럭신호(Clk)에 따라 교번적으로 온-오프되어 래치 모드에서 트랙 모드로 전환되었을 때, 제2래치부(52)가 출력단(Vout1, Vout2)을 리셋시키는 동작을 하도록 스위칭 동작을 하는 제5스위칭 트랜지스터(M14)와 제6스위칭 트랜지스터(M15)가 구성되어 있다.
- <51> 래치 모드 동작시 턴-온되어 전원전압단(VDD)으로부터 바이어스 트랜지스터(M16)과 접지전압단(GND)으로의 전류 패스를 형성하는 소스-팔로워 역할을 수행하는 PMOS 트랜지스터(M9)가 구성되어 있는 바, 이로 인해 래치 모드 동작시 차동입력부(50)는 턴-오프된다.
- <52> 도 6은 도 5의 트랙 모드 동작 회로를 도시하고, 도 7은 도 5의 래치 모드 동작시의 동작 회로를 도시하며, 도 8은 도 5의 전체 동작을 도시한 타이밍 차트이다.

- <53> 이하, 도 5 내지 도 8을 참조하여 본 발명에 따른 비교 장치의 동작을 살펴보는 바, 설명의 간략화를 위해 각 트랜지스터는 그 기호로 약칭한다.
- <54> 여기서, 클럭신호(Clk)가 '로직 로우'에서는 비교 장치가 트랙 모드로 동작을 하고, '로직 하이'에서는 비교 장치가 래치 모드로 동작을 한다고 가정한다.
- <55> 먼저, 클럭신호(Clk)가 '로직 로우'가 되면, M1과 M2가 턴-오프되고, M9가 턴-오프된다. 한편, M14와 M15이 턴-온되므로 Vout1과 Vout2는 전원전압단(VDD)의 전압레벨이 된다.
- <56> 따라서, 'Vin1'과 'Vin2'의 입력신호에 의해 노드'N2'와 노드'N1' 각각의 전압 Vy와 Vx는 래치되며, 이 때 M7과 M8이 턴-온되며 그 자체의 턴-온 저항이 큰 값을 가지므로 각각 다이오드 연결된 트랜지스터들(M5, M6)을 통해 접지전압단(GND)으로 전류 패스를 형성하게 된다.
- <57> 따라서, 도 8의 타이밍 차트에 도시된 바와 같이 Vx와 Vy는 래치 및 증폭이 되는 트랙 모드로서 동작이 이루어진다.
- <58> 이러한 트랙 모드에서의 도 5에 도시된 비교 장치는 일반적인 차동증폭기로 동작하며 입력되는 Vin1과 Vin2의 아날로그 입력신호를 증폭하면서 트래킹하게 되는 바, 이 때의 증폭기의 DC(Direct Current) 게인(A)은 하기의 수학식2와 같다.

<59> 【수학식 2】  $A = G_{m1}/(G_{m5}-G_{m3})$



<60> 여기서 ' $G_{m1}$ '은 M1의 상호컨덕턴스를, ' $G_{m5}$ '는 M5의 상호컨덕턴스를, ' $G_{m3}$ '는 M3의 상호컨덕턴스를 각각 나타낸다.

<61> 도 6의 트랙 모드 등가회로를 참조하면, 상술한 수학식2에서 M7의 턴-온 저항 ' $R_{on7}$ '은 ' $1/G_{m5}$ '과 직렬로 이어져 있으면서 그 값이 ' $1/G_{m5}$ '에 비해 매우 작기 때문에 무시되었고, M5와 M3의 출력 임피던스(Output impedance) ' $R_{on5}$ '와 ' $R_{on3}$ '은 ' $1/G_{m5}$ '에 병렬로 이어져 있지만 그 값이 ' $1/G_{m5}$ '에 비해 매우 크기 때문에 무시한 것이다.

<62> 한편, 수학식2에서도 분모 ' $G_{m5}-G_{m3}$ '가 양의 값을 유지하도록 설계를 해야 한다. 보통은 ' $G_{m5}$ ' 값을 크게 하여 계인 값이 안정되게 양의 값을 유지하도록 설계하여야 하며, ' $G_{m5}$ '의 값이 커지면 ' $V_x$ '와 ' $V_y$ '가 낮아져서 결국은 M7의 턴-온 저항 값을 줄여준다. ' $G_{m5}$ '와 ' $G_{m3}$ '은 전원전압과 문턱 전압의 변화에 상관없이 일정한 값을 유지하며, 단지 바이어스 전류(Bias current)에 의해서만 결정된다. 바이어스 전류는 보통 전원전압과 문턱 전압의 변화에 부관하게 일정한 값을 유지하도록 설계된다. ' $G_{m3}$ '의 값이 ' $G_{m5}$ '의 값 보다 조금 작게 설계할 경우 증폭기의 계인을 대폭 늘릴 수 있으며, 비교 장치의 분해능(Resolution)을 향상시킬 수 있다.

<63>  $G_{m3}$ 와  $G_{m5}$ 는 트랜지스터의 비율을 적절히 정함으로써, 공정 변화와 전원전압의 변화에 상관없이 일정하게 일정하게 유지할 수 있기 때문에 안정된 동작을 보장한다.

<64> 도 8에 도시된 바와 같이 트랙 모드에서 ' $V_x$ '와 ' $V_y$ '는 각각 증폭되며, 클럭신호(Clk)가 '로직 로우'에서 '로직 하이'로 상승(천이)하게 되면, M1, M2, M7, M8, M14 및 M15는 모두 턴-오프된다.

<65> 따라서, M7과 M8은 턴-오프됨에 따라 회로로부터 실제 제거된다.

- <66> M9가 턴-온됨에 따라 VDD로부터 M16을 거쳐 M9에서 GND로의 전류패스가 형성되며, M1과 M2는 턴-오프된다.
- <67> 차동입력부(50)의 PMOS 트랜지스터들(M1, M2)로부터의 차전류는 노드들(N1, N2)의 전압( $V_x$ ,  $V_y$ ) 차에 기인한다. 이러한 차전압은 포지티브 증폭기에 의해 증폭된 것으로서  $V_x$ 와  $V_y$ 는 기준전압에 대한 입력 전압에 의해 미리 결정된 쪽으로 분기된다.  $V_x$ 와  $V_y$ 는 더욱 증폭되고, 따라서 출력전압( $V_{out1}(+)$ ,  $V_{out2}(-)$ )은 도 8와 같은 파형으로 출력된다.
- <68> 보다 구체적으로 살펴보면, 비교장치가 트랙 모드에 있을 때는 M1과 M2는 M3, M4, M5 및 M6와 함께 입력신호를 받아 증폭하여 증폭기(Pre-amplifier) 역할을 한다. 증폭된 신호는 ' $V_x - V_y$ '의 차전압으로 나타난다.
- <69> 트랙 모드에서는 M10과 M11은 턴-오프 상태가 되어 M12, M13, M14 및 M15가 ' $V_x$ '와 ' $V_y$ '에 영향을 주지 않게 하며, M14와 M15는 턴-온되어 ' $V_{out1}$ '과 ' $V_{out2}$ '는 전원전압단(VDD)의 전압 레벨을 갖게 된다. 이는 이전 래치 상태가 다음 번 래치 모드에서 전압의 극성(Polarity) 결정에 영향을 미치는 메모리 효과(Memory effect)를 제거하는 역할을 한다. 즉, 출력 래치 상태를 리셋(Reset)시키는 역할을 하게 된다.
- <70> 비교 장치가 래치 모드로 들어가게 되면, M10과 M11은 턴-온되고, M14와 M15는 턴-오프되며, M7과 M8이 턴-오프되면서 도7에 도시된 바와 같이, 전형적인 래치회로로 동작하게 된다. 이 때 M9의 게이트 전압이 접지전압단(GND)의 전압 레벨로 감소하여 M1과 M2에 전류가 흐르지 않게 되어 입력신호 ' $V_{in1}$ '과 ' $V_{in2}$ '이 더 이상 제1 및 제2래치부(510, 52)에 영향을 줄 수 없게 된다. 그리고, ' $V_x$ '와 ' $V_y$ '는 래치 모드로 진입하는 순간에 상태를 유지하면서 제1 및 제2래치부(510, 52)의 포지티브 피드백에 의해 상대방

쪽보다 전압이 높은 쪽 노드는 전원전압단(VDD) 레벨로 출력되고, 반대로 낮은 쪽은 접지전압단(GND) 레벨로 변하게 되어 디지털 신호를 발생하게 된다. 도 8에서는 이러한 'Vout1'과 'Vout2'의 실제 출력 파형이 도시되어 있다..

<71>        전술한 바와 같이 이루어지는 본 발명은, 비교 장치가 트래킹 모드로 동작시 증폭기의 게인이 트랜지스터의 문턱 전압과 전원전압의 변동에 관계없도록 설계함으로써, 전원전압의 변동 또는 공정 변화에 따른 특성 변화를 방지할 수 있으며, 낮은 전원전압에서도 안정한 동작을 확보할 수 있음을 실시예를 통해 알아 보았다.

<72>        본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<73>        예컨대, 전술한 본 발명의 아날로그 비교 장치는 ADC 뿐만아니라 두 아날로그 신호를 비교해야 하는 기능을 필요로 하는 모든 장치의 비교 기능 블록으로 적용 가능하다.

#### 【발명의 효과】

<74>        상기한 바와 같이 이루어지는 본 발명은, 비교 장치의 게인을 전원전압과 공정 변수에 독립적인 특성을 갖도록 설계함으로써, 비교 장치의 생산 수율을 향상시킬 수 있는 효과를 기대할 수 있다.

**【특허청구범위】****【청구항 1】**

일정 주기를 갖는 클럭신호에 따라 교번적으로 트랙 모드 동작과 래치 모드 동작을 수행함으로써, 두개의 아날로그 입력신호를 비교하여 1비트의 디지털 신호를 출력하는 비교 장치에 있어서,

상기 두개의 아날로그 신호를 각각 다른 입력으로 하는 차동입력수단;

상기 클럭신호에 응답하여 상기 차동입력수단의 차동 출력을 각각 자신의 정/부입력단으로 입력받아 트래킹 및 래치를 실시하되, 상기 트랙 모드에서 트래킹 동작을 위해 자신이 상기 차동입력수단의 부하로 동작하도록 자신의 정입력단 및 부입력단으로터 각각 서로 다른 전류패스를 갖는 트래킹/래치수단; 및

상기 트래킹/래치수단의 출력을 래치 및 출력하는 래치수단을 포함하는 비교 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 트래킹/래치수단은,

상기 정/부입력단을 갖는 래치부;

상기 클럭신호를 게이트 입력으로 하고, 그 일측이 상기 정입력단에 접속된 제1스위칭 트랜지스터;

상기 제1스위칭 트랜지스터의 타측과 접지전압단 사이에 다이오드 접속된 제1로드 트랜지스터;

상기 클럭신호를 게이트 입력으로 하고, 그 일측이 상기 부입력단에 접속된 제2스위칭 트랜지스터; 및

상기 제2스위칭 트랜지스터의 타측과 접지전압단 사이에 다이오드 접속된 제2로드 트랜지스터

를 포함하는 것을 특징으로 하는 비교 장치.

### 【청구항 3】

제 2 항에 있어서,

상기 제1 및 제2로드 트랜지스터는 각각 상기 제1 및 제2 스위칭 트랜지스터의 턴-온 저항을 무시할 수 있을 정도로 큰 것을 특징으로 하는 비교 장치.

### 【청구항 4】

제 3 항에 있어서,

상기 제1스위칭 트랜지스터와 상기 제2스위칭 트랜지스터는 동일 사이즈를 갖으며, 상기 제1로드 트랜지스터와 상기 제2로드 트랜지스터는 동일 사이즈를 갖는 것을 특징으로 하는 비교 장치.

**【청구항 5】**

제 2 항에 있어서,

상기 래치부는,

상기 정입력단 및 상기 부입력단과 그 게이트가 각각 십자로 연결된 제1트랜지스터 및 제2트랜지스터를 포함하는 것을 특징으로 하는 비교 장치.

**【청구항 6】**

제 1 항에 있어서,

상기 클럭신호에 응답하여 상기 래치수단과 상기 트래킹/래치수단 간의 단락을 스위칭하기 위한 스위칭수단을 더 포함하는 것을 특징으로 하는 비교 장치.

**【청구항 7】**

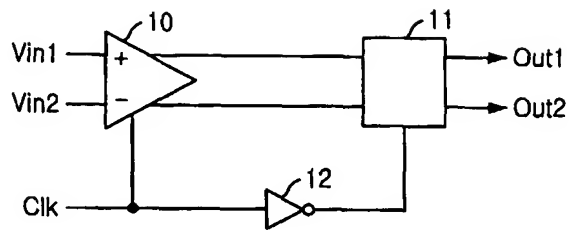
제 6 항에 있어서,

상기 스위칭수단은,

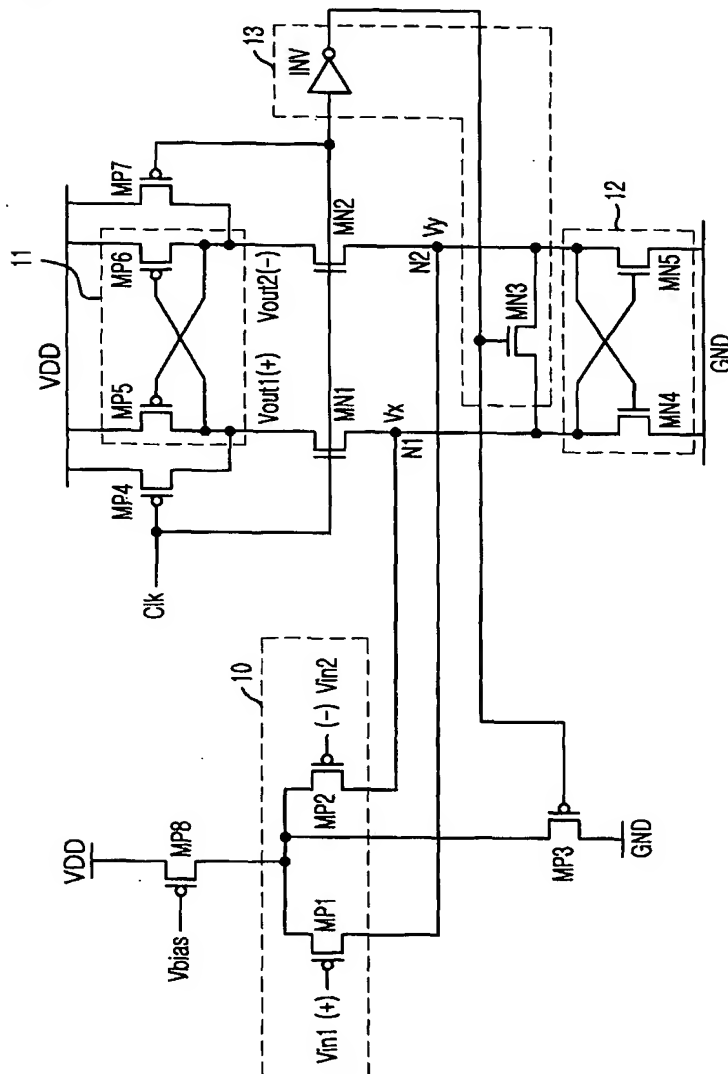
상기 클럭신호를 각각 자신의 게이트 입력으로 하고 상기 래치수단과 상기 트래킹/래치수단의 각 정/부입력단 간에 소스-드레인 경로가 형성되는 제3 및 제4스위칭 트랜지스터를 포함하는 것을 특징으로 하는 비교 장치.

【도면】

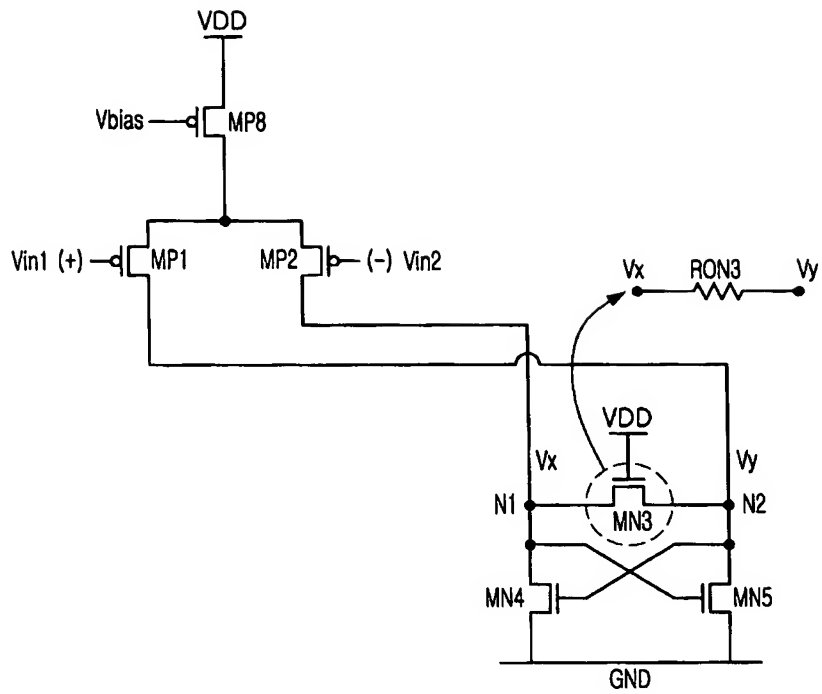
【도 1】



【도 2】

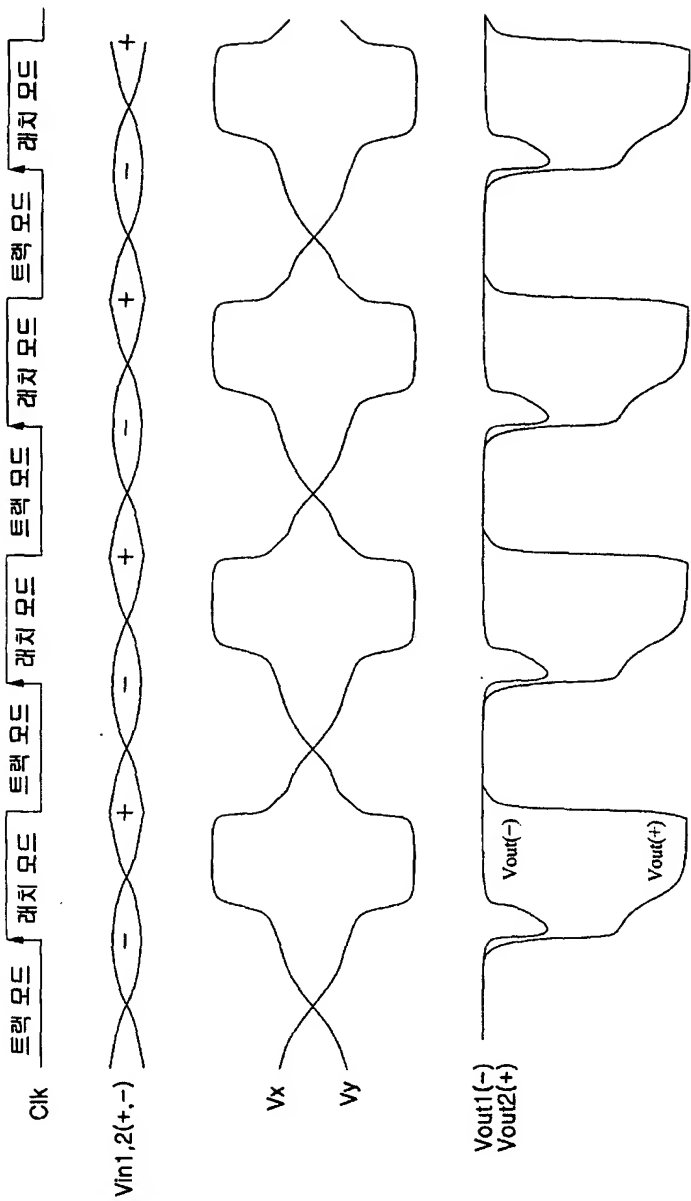


【도 3】



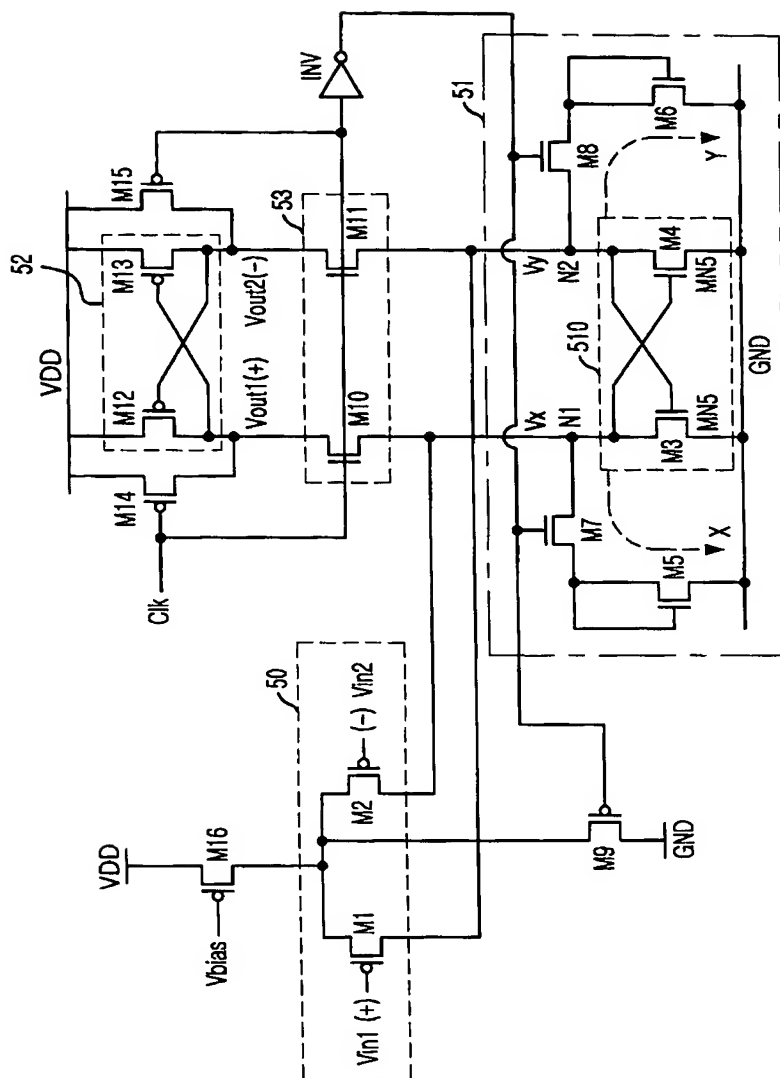


【도 4】



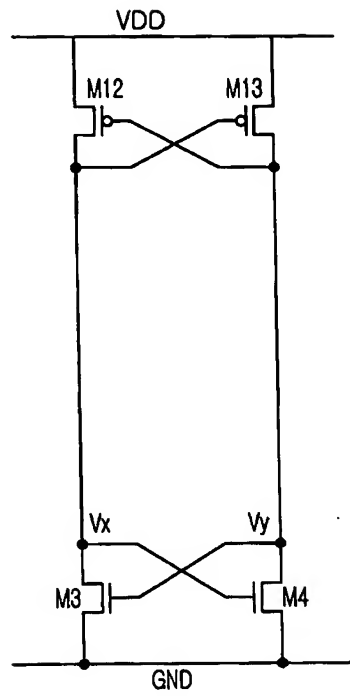
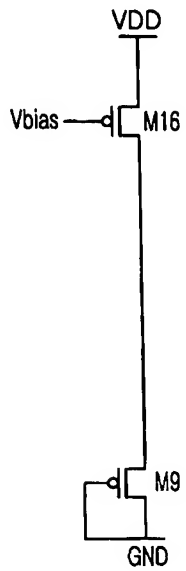
\* 트랙 모드 : MN1, MN2, MP3, MP5, MP6 => OFF  
\* 레지 모드 : MP1, MP2, MN3, MP4, MP7 => OFF

【도 5】

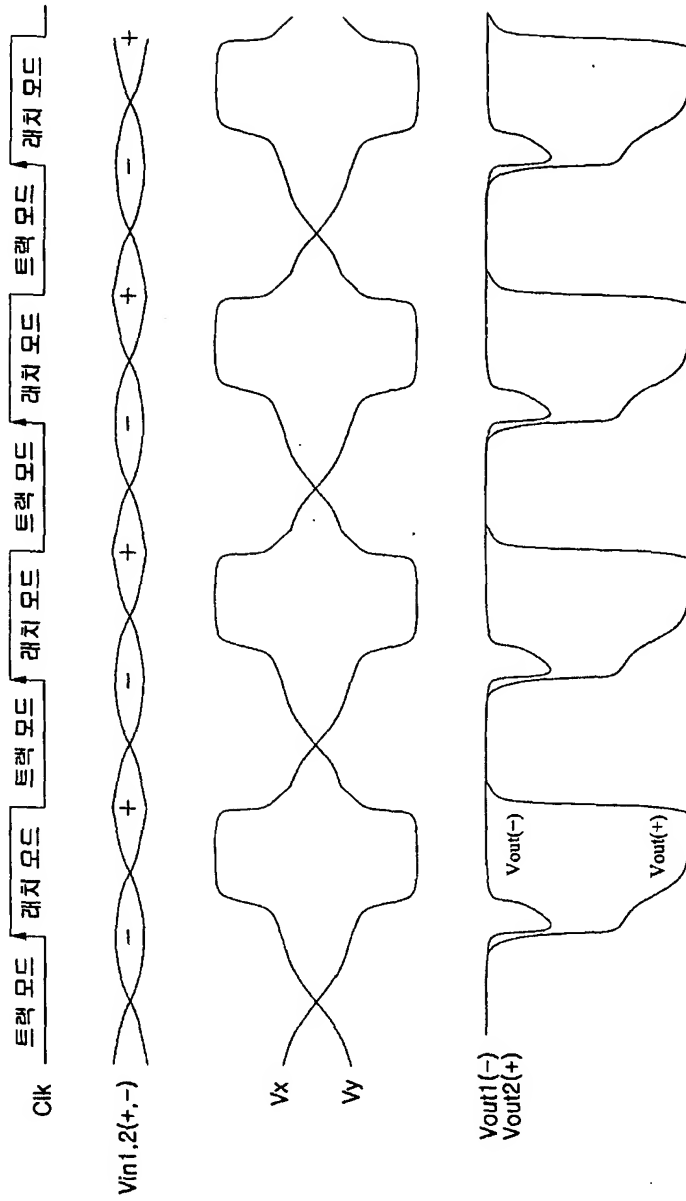




【도 7】



【도 8】



\* 트랙 모드 : M9, M10, M11, M12, M13  $\Rightarrow$  OFF

\* 래치 모드 : M1, M2, M7, M8, M14, M15  $\Rightarrow$  OFF